



## 任务4.3 60秒计数器设计

# 4.3.1 任意进制计数器的设计

1. **复位法**

2. **置数法**

3. **乘数法**

# 任意进制计数器的设计

## 1. 复位法

复位法也称为**反馈清零法**。利用复位法所构成的**N进制**计数器，选用集成计数器的模应大于N，当输入N个计数脉冲后计数器就**回到0**状态。

根据集成计数器的清零方式分为**同步清零**和**异步清零**两种。

# 任意进制计数器的设计

## 1) 同步清零复位法

例1：利用同步清零集成计数器**74ls163**和适当的**门电路**构成**十二进制**计数器。

# 任意进制计数器的设计

## 1) 同步清零复位法

解：因为74LS163是**同步清零**，十二进制计数器共有12个状态如图1所示。当触发器的状态 $Q_D Q_C Q_B Q_A$ 为1011，在下一个时钟到来时，返回到0000状态，所以令 $\overline{CLR} = \overline{Q_D Q_B Q_A}$ ，其逻辑电路连接图，如图2所示。

# 任意进制计数器的设计

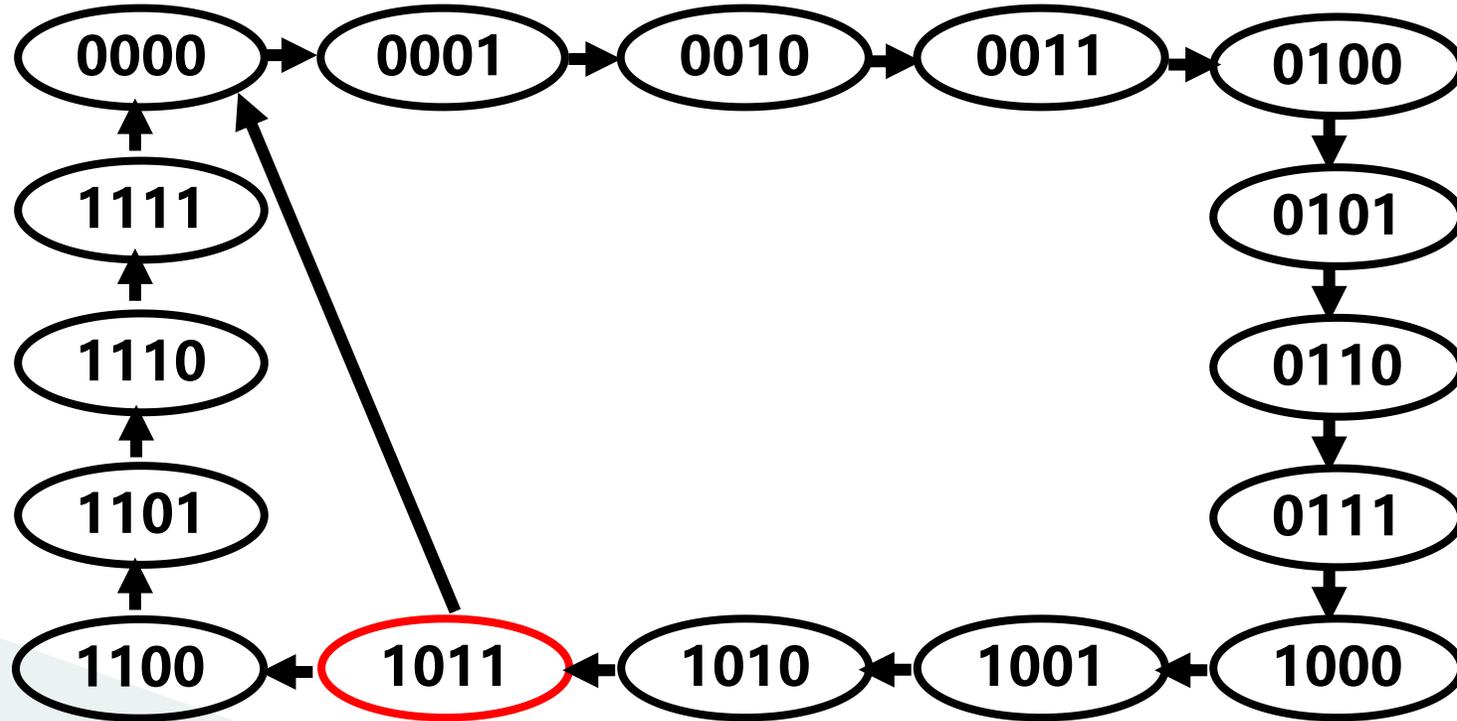


图1 二进制加法计数器74ls163状态转换图

# 任意进制计数器的设计

## 1) 同步清零复位法

解：因为74LS163是**同步清零**，十二进制计数器共有12个状态如图1所示。当触发器的状态 $Q_D Q_C Q_B Q_A$ 为1011，在下一个时钟到来时，返回到0000状态，所以令 $\overline{CLR} = \overline{Q_D Q_B Q_A}$ ，其逻辑电路连接图，如图2所示。

# 任意进制计数器的设计

## 1) 同步清零复位法

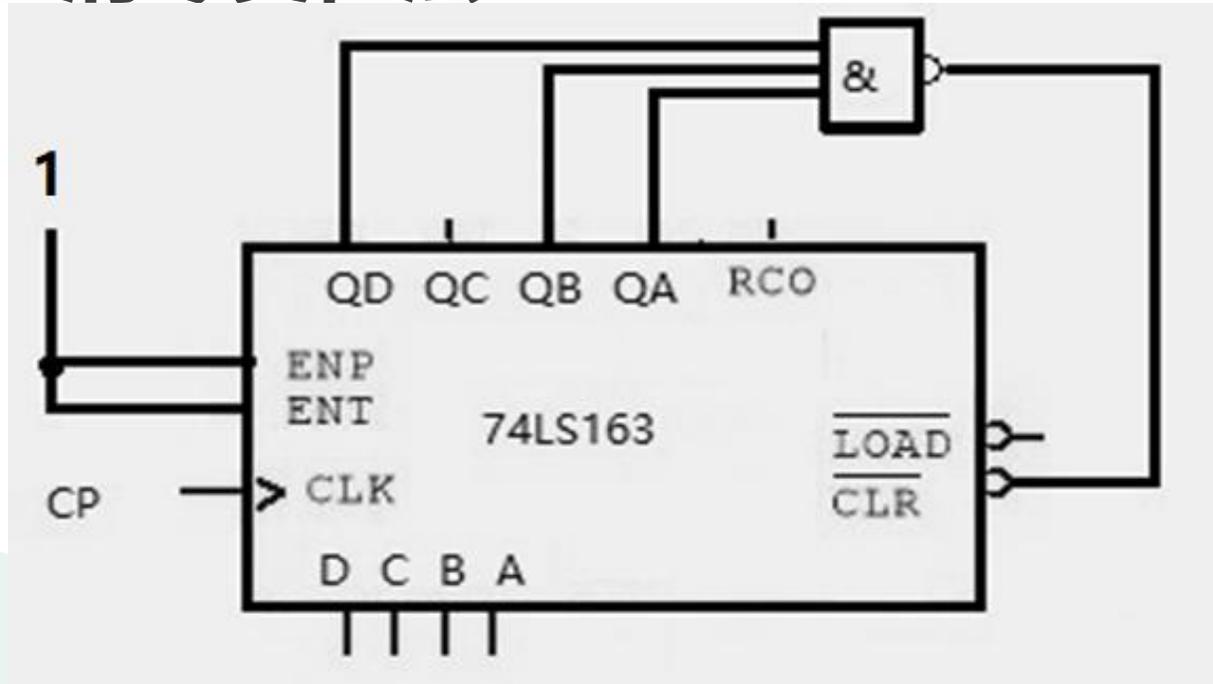


图2 74LS163构成的十二进制计数器电路图

# 任意进制计数器的设计

## 2) 异步清零复位法

例2：利用异步清零集成计数器**74ls161**和适当的**门电路**构成**十二进制**计数器。

# 任意进制计数器的设计

## 2) 异步清零复位法

解：由于74LS161具有**异步清零**功能，若在保证12个有效状态，当到状态1011（有效状态）时不能立刻清零，要到下一个状态1100时才能清零，即1100状态是个**暂态**，如图3所示，该状态一出现就清零为0000。所以令  $\overline{CLR} = \overline{Q_D Q_C}$ 。

# 任意进制计数器的设计

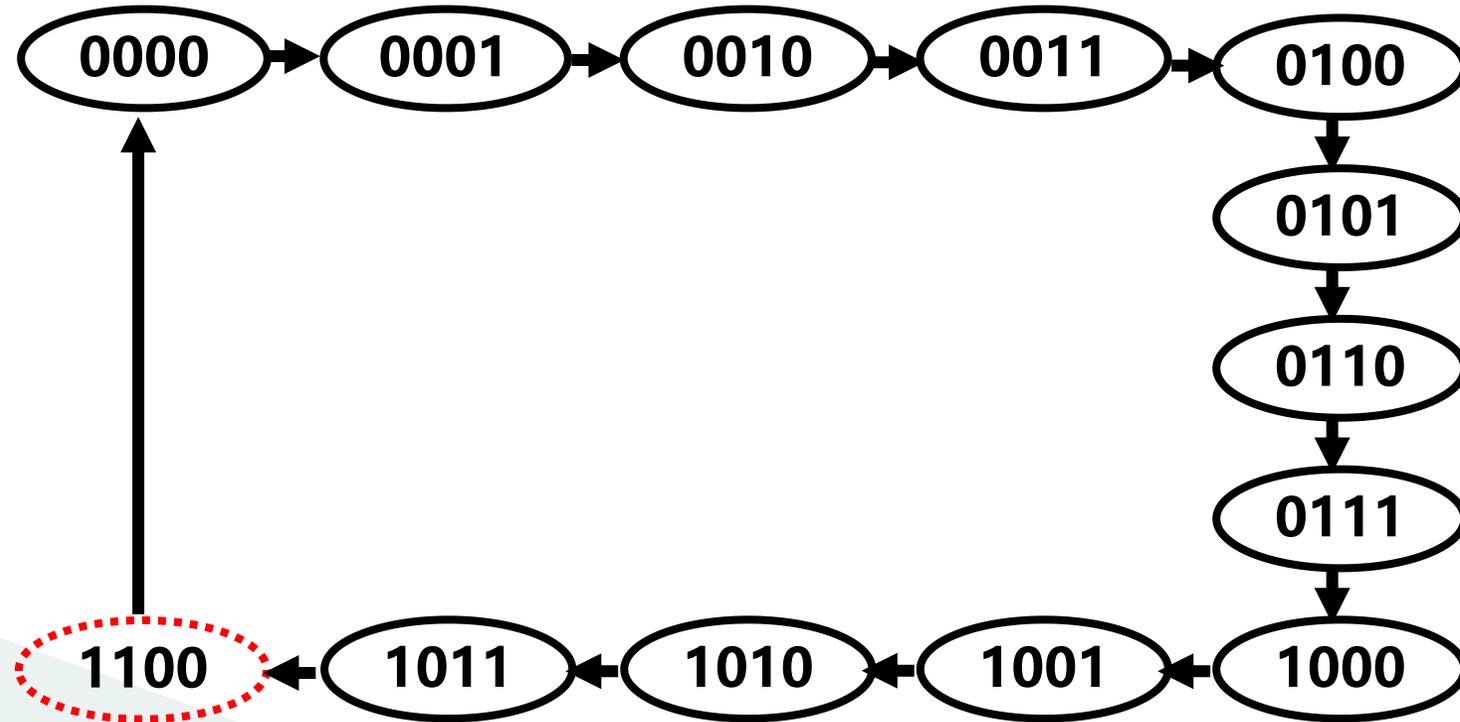


图3 二进制加法计数器74ls161状态转换图

# 任意进制计数器的设计

## 2) 异步清零复位法

解：由于74LS161具有**异步清零**功能，若有清零信号到来就立即清零。若要保证12个有效状态，当到状态1011（有效状态）时不能立刻清零，要到下一个状态1100时才能清零，即1100状态是个**暂态**，该状态一出现就清零为0000。所以令  $\overline{CLR} = \overline{Q_D Q_C}$

# 任意进制计数器的设计

## 2) 异步清零复位法

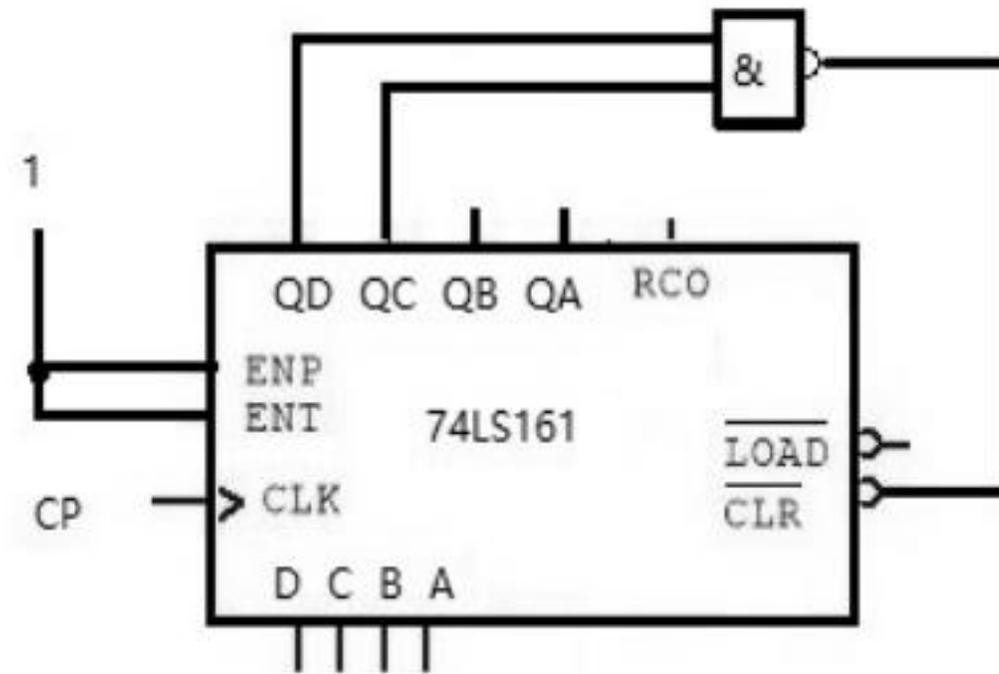


图4 74LS161构成的十二进制计数器电路图

# 任意进制计数器的设计

## 2.置数法

反馈置数法是利用集成电路的**置数端**，当集成计数器计数到某一状态时，**反馈**一个**置数信号**到置数端进行置数。

# 任意进制计数器的设计

## 2.置数法

例3：利用**74LS160**和适当的**门电路**构成**6进制**加法计数器。

解：因为74LS160是**同步置数十进制**计数器，  
选取其中的6个有效状态，共有两种方案。

# 任意进制计数器的设计

## 1) 反馈置零法

选取6个有效状态分别是0000、0001、0010、0011、0100、0101，当计数到0101时，下一个脉冲到来时，置数0000，即回到初始状态。

令反馈信号  $\overline{LOAD} = \overline{Q_C Q_A}$ ，设计电路如图5所示。

# 任意进制计数器的设计

## 1) 反馈置零法

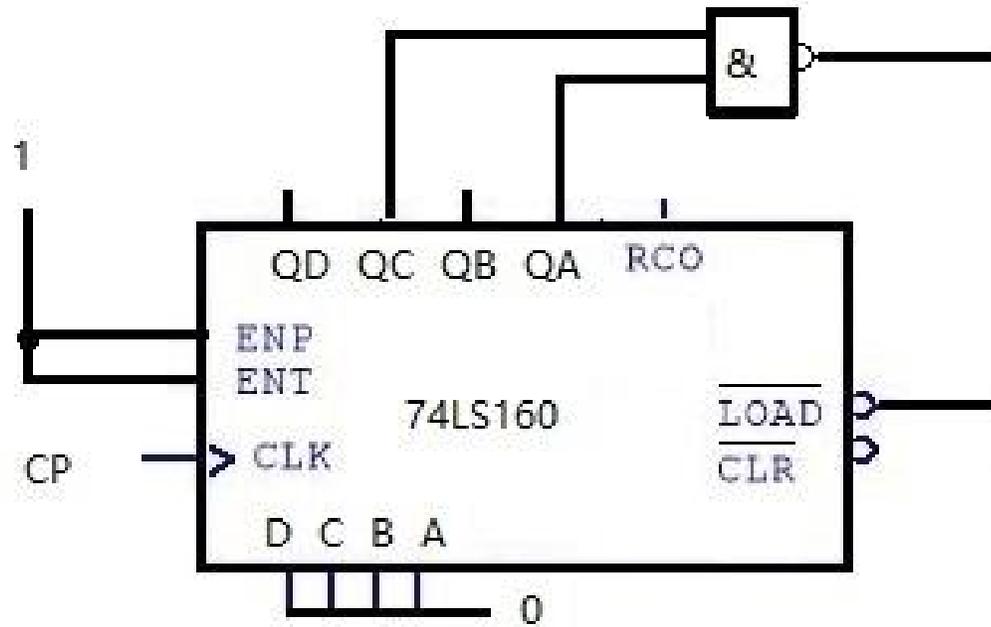


图5 74LS160构成六进制计数器电路图

# 任意进制计数器的设计

## 2) 反馈置4法

选取6个有效状态分别是0100、0101、0110、0111、1000、1001，当计数到1001，下一个计数脉冲到来时，74LS160不能回到0000状态，而是利用置数法使其回到0100状态。令  $\overline{LOAD} = \overline{Q_D Q_A}$

如图6所示。

# 任意进制计数器的设计

## 2) 反馈置4法

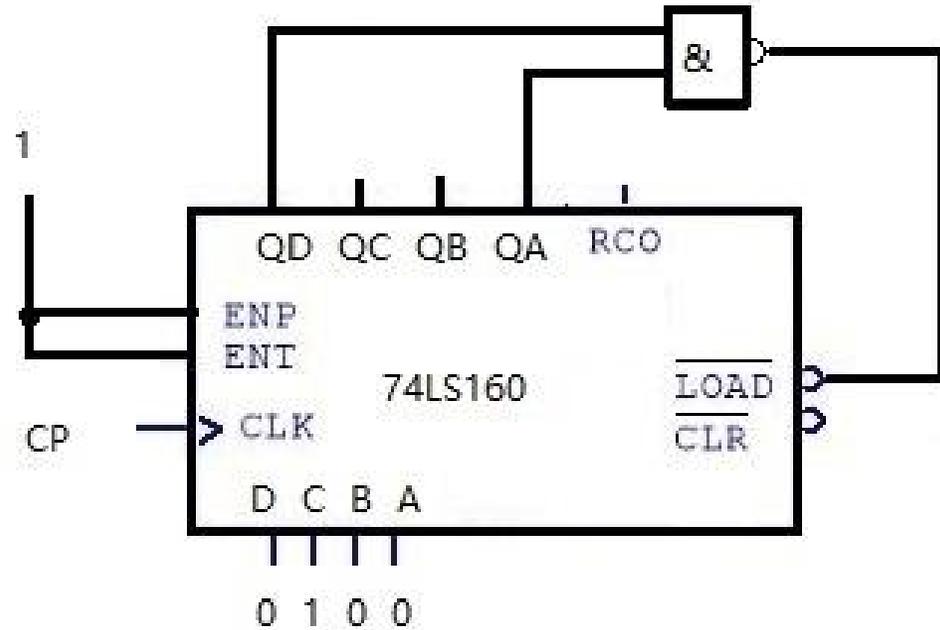


图6 74LS160构成六进制计数器电路图

## 4.3.2 60秒计数器的设计

60秒计数器有**十位**数字和**个位**数字，个位计数到9再来一个计数脉冲就会向十位数进1，直到**十位**数字计数到**5**，**个位**计数到**9**，然后计数器回到00状态继续循环进行。

# 1. 60秒计数器的设计方法

60秒计数器设计方法使用2片10进制集成电路，采用**乘数法**设计，即  $60=6 \times 10$  ，结合**置数法**或**清零法**进行设计。

## 2. 60秒计数器的设计框图

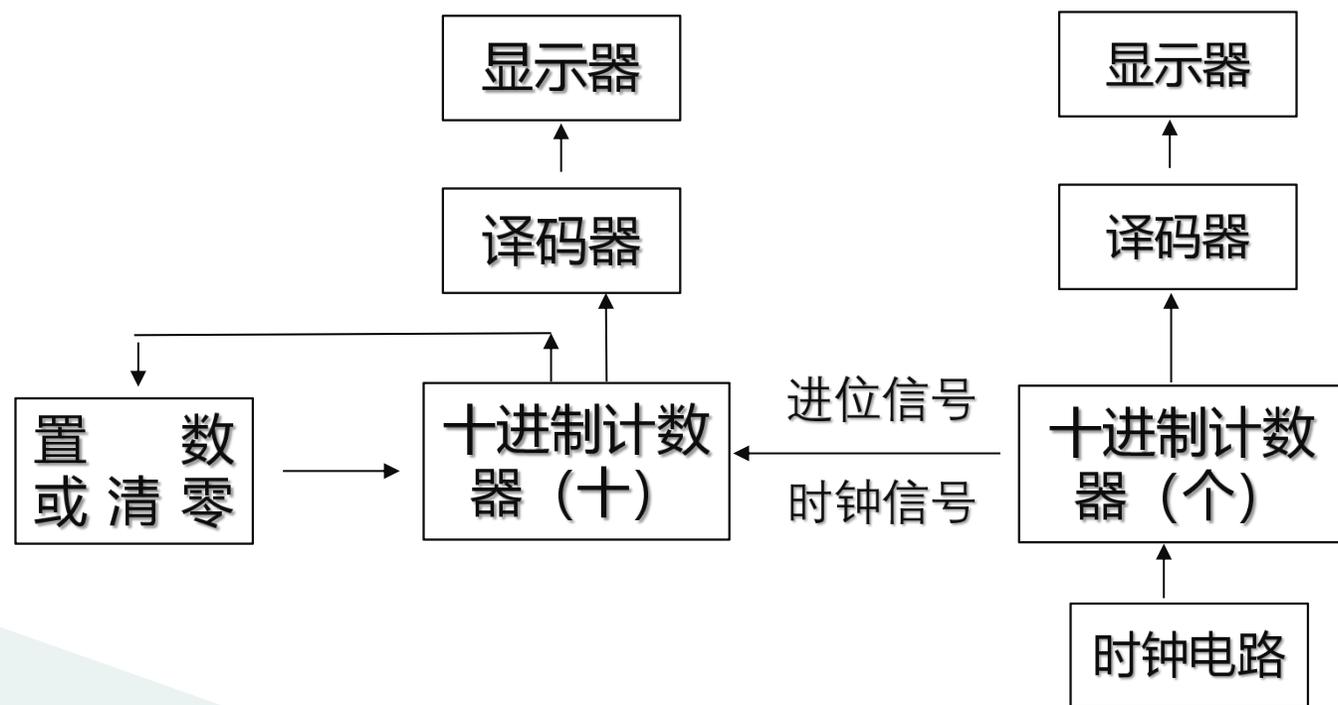


图1 60秒计数器设计框图

## 3. 60秒计数器模块电路

### 1) 时钟信号

**个位**计数器的时钟脉冲信号是由振荡频率为1Hz的信号发生器提供。

**十位**计数器的时钟脉冲信号是由**个位**计数器的**进位信号**提供。

## 3. 60秒计数器设计模块电路

### 2) 置数或清零反馈信号

反馈置数信号取自于十位计数器的**0101**状态的**两个“1”**，使用一个**与非门**，其输出端接十位计数器的置数端或清零端，低电平有效。

## 3. 60秒计数器设计模块电路

### 3)计数器选择

选用**10进制**计数器设计相对简单，所以本设计选取10进制计数器74LS160。

## 3. 60秒计数器设计模块电路

### 4) 译码电路

从十进制编码器输出的是**8421BCD码**，由此应该先择BCD码**七段半导体显示译码器**74LS48或CD4511，在此选择74LS48。

## 3. 60秒计数器设计模块电路

### 5) 显示电路

显示电路采用**LED数码管**，因为译码电路选择BCD七段半导体译码器74LS48或CD4511，所以这里只能选择共阴极LED数码管。

# 4. 60秒计数器设计原理图

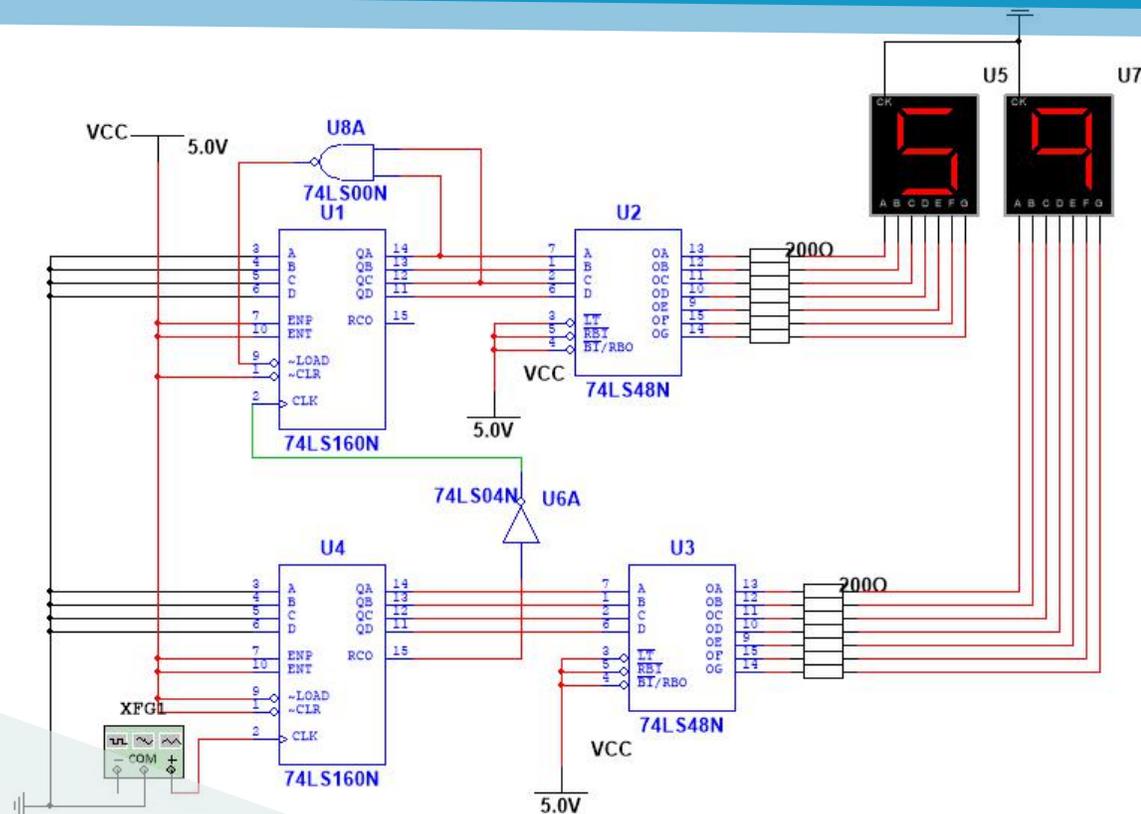


图2 60秒计数器设计原理图

Thanks for watching  
**谢谢观看**

