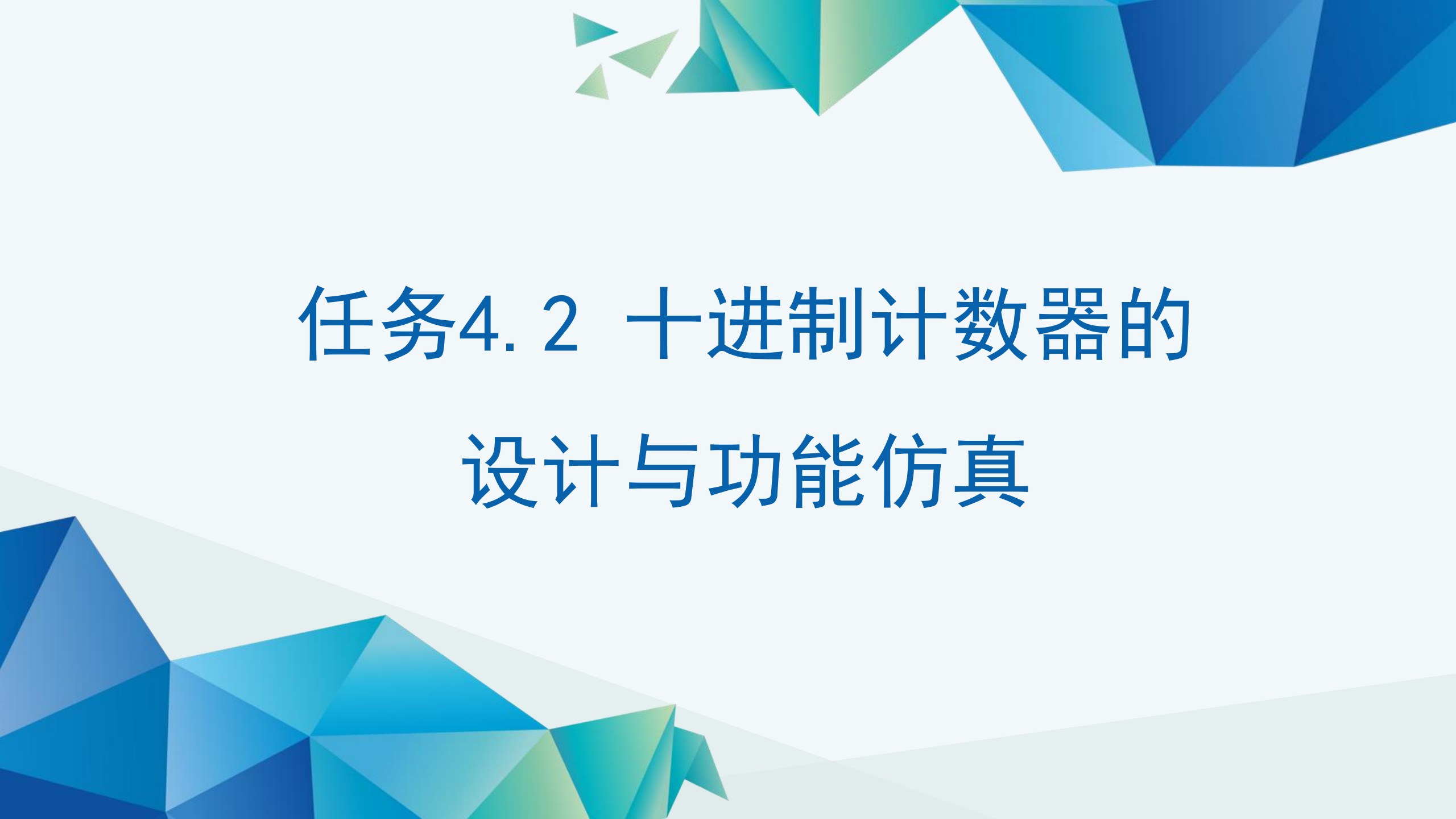




任务4.2 十进制计数器的 设计与功能仿真

4.2.1 十进制计数器

- 一、十进制计数器的概念
- 二、十进制计数器的分类
- 三、十进制加法计数器的设计

一、十进制计数器的概念

0

0

0

0

0

按十进制规则进行计数的计数器。

十进制计数器触发器为4，模为 $M=10$ 。

二、十进制计数器的分类

1.按时钟控制方式

同步十进制计数器
异步十进制计数器

2.按计数时数字的增减

十进制加法计数器
十进制减法计数器
十进制可逆计数器

三、同步十进制加法计数器的设计

1. 同步十进制加法计数器的设计方法

2. 同步十进制加法计数器的设计步骤

三、同步十进制加法计数器的设计

1.同步加法计数器的方法

(1) 确定有效状态

(2) 画状态转换图

(3) 列状态转换表

(4) 列状态方程

(5) 画逻辑图



2. 同步十进制加法计数器的设计步骤

(1) 确定有效状态

- ✓ 十进制加法计数器状态分别是 S_0 、 S_1 、...、 S_9 ，共计10个状态，并且都属于有效状态。
- 

2. 同步十进制加法计数器的设计步骤

(2) 画状态转换图

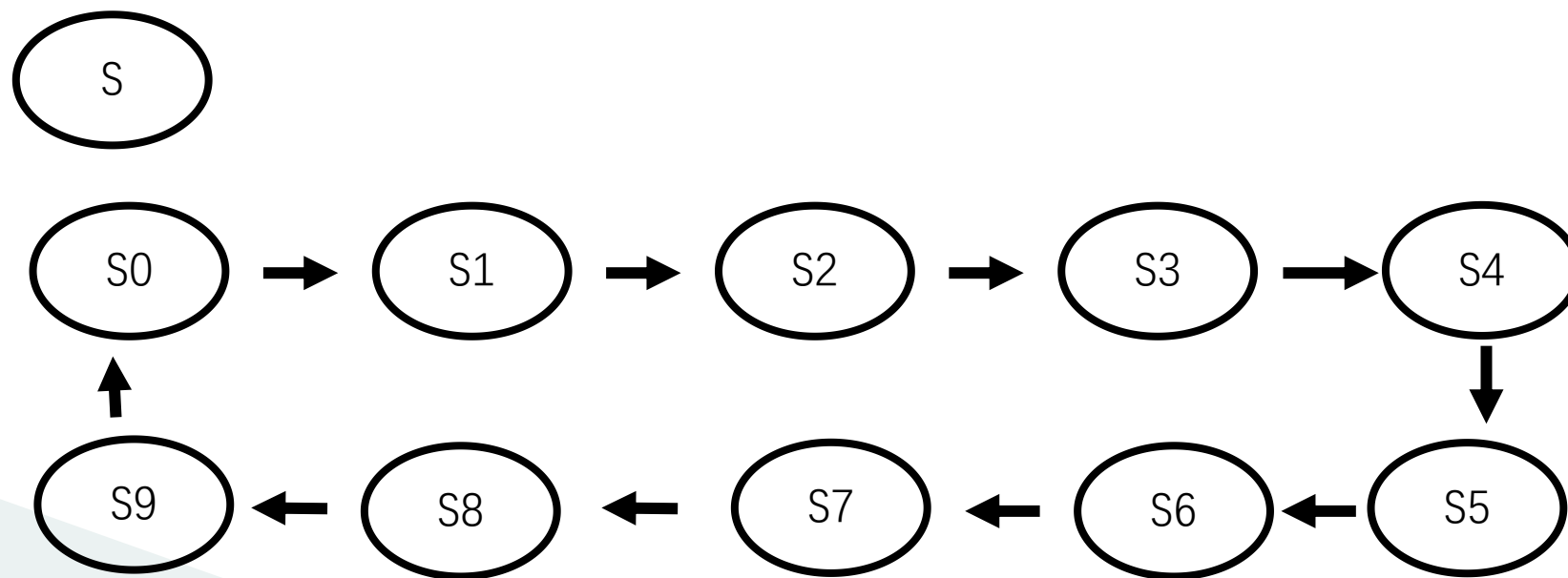


图1 同步十进制加法计数器状态转换图

2. 同步十进制加法计数器的设计步骤

(3) 列状态转换表

✓ 状态编码

计数器10个状态分别是000、001、...1001。

✓ 状态分配

触发器的组合状态与计数器的10个有效状态一一对应。

✓ 确定逻辑变量

输入变量： $Q_3^n Q_2^n Q_1^n Q_0^n$

输出变量： $Q_3^{n+1} Q_2^{n+1} Q_1^{n+1} Q_0^{n+1}$

2. 同步十进制加法计数器的设计步骤

(3) 列状态转换表 表1 同步十进制加法计数器状态转换表

输入脉冲数	触发器状态	触发器状态	输出
CP	$Q_3^n Q_2^n Q_1^n Q_0^n$	$Q_2^{n+1} Q_2^{n+1} Q_1^{n+1} Q_0^{n+1}$	C
0	0 0 0 0	0 0 0 1	0
1	0 0 0 1	0 0 1 0	0
2	0 0 1 0	0 0 1 1	0
3	0 0 1 1	0 1 0 0	0
4	0 1 0 0	0 1 0 1	0
5	0 1 0 1	0 1 1 0	0
6	0 1 1 0	0 1 1 1	0
7	0 1 1 1	1 0 0 0	0
8	1 0 0 0	1 0 0 1	0
9	1 0 0 1	0 0 0 0	1

2. 同步十进制加法计数器的设计步骤

(4) 画次态卡诺图

✓ 触发器状态方程

$$Q_3^{n+1} = \overline{Q_3^n Q_2^n Q_1^n Q_0^n} + \overline{Q_3^n Q_2^n Q_1^n Q_0^n}$$

		$Q_1^n Q_0^n$			
		00	01	11	10
$Q_3^n Q_2^n$	00	0	0	0	0
	01	0	0	1	0
	11	x	x	x	x
	10	1	0	x	x

图2 Q_3^{n+1} 卡诺图

表1 同步十进制加法计数器状态转换表

输入脉冲数	触发器状态	触发器状态
CP	$Q_3^n Q_2^n Q_1^n Q_0^n$	$Q_2^{n+1} Q_2^{n+1} Q_1^{n+1} Q_0^{n+1}$
0	0 0 0 0	0 0 0 1
1	0 0 0 1	0 0 1 0
2	0 0 1 0	0 0 1 1
3	0 0 1 1	0 1 0 0
4	0 1 0 0	0 1 0 1
5	0 1 0 1	0 1 1 0
6	0 1 1 0	0 1 1 1
7	0 1 1 1	1 0 0 0
8	1 0 0 0	1 0 0 1
9	1 0 0 1	0 0 0 0

2. 同步十进制加法计数器的设计步骤

(4) 画次态卡诺图

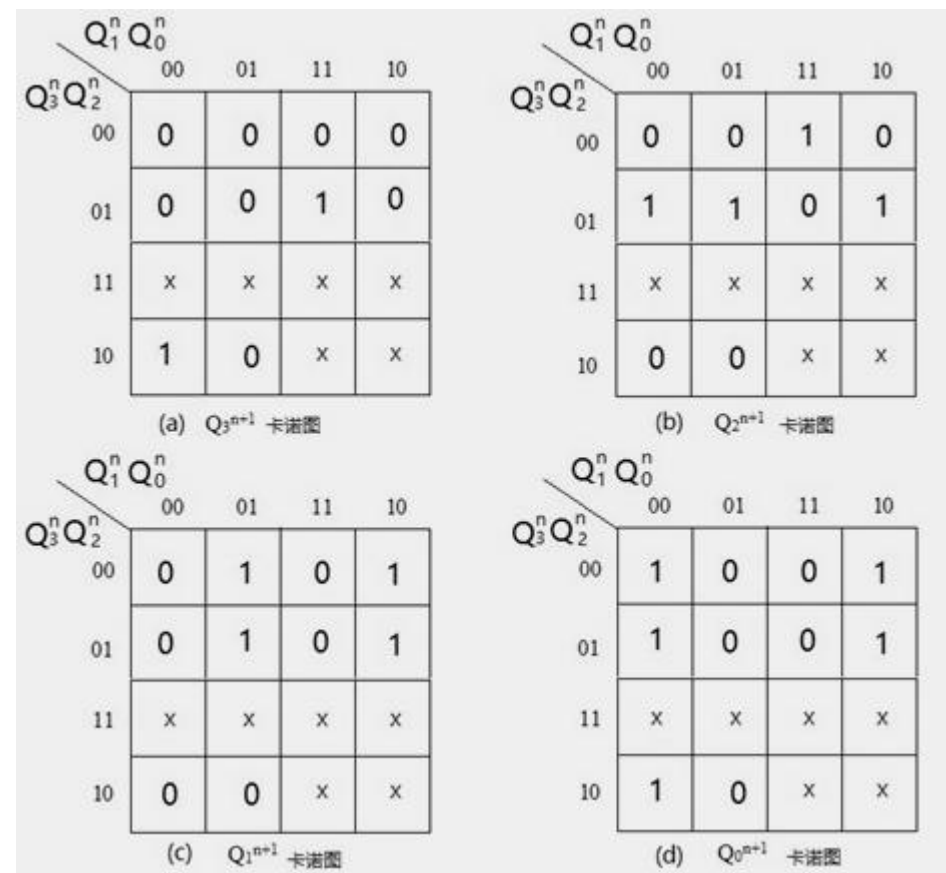


图3 $Q_2^{n+1} Q_2^{n+1} Q_1^{n+1} Q_0^{n+1}$ 卡诺图

2. 同步十进制加法计数器的设计步骤

(5) 列方程

✓ 触发器状态方程

$$Q_3^{n+1} = Q_3^n \overline{Q_0^n} + Q_2^n \overline{Q_1^n} Q_0^n$$

$$Q_2^{n+1} = Q_2^n Q_1^n Q_0^n + Q_2^n \overline{Q_1^n} Q_0^n$$

$$Q_1^{n+1} = \overline{Q_1^n} Q_0^n + \overline{Q_3^n} \overline{Q_1^n} Q_0^n$$

$$Q_0^{n+1} = Q_0^n$$

✓ 输出方程

$$C = \overline{Q_3^n} \overline{Q_2^n} \overline{Q_1^n} Q_0^n$$

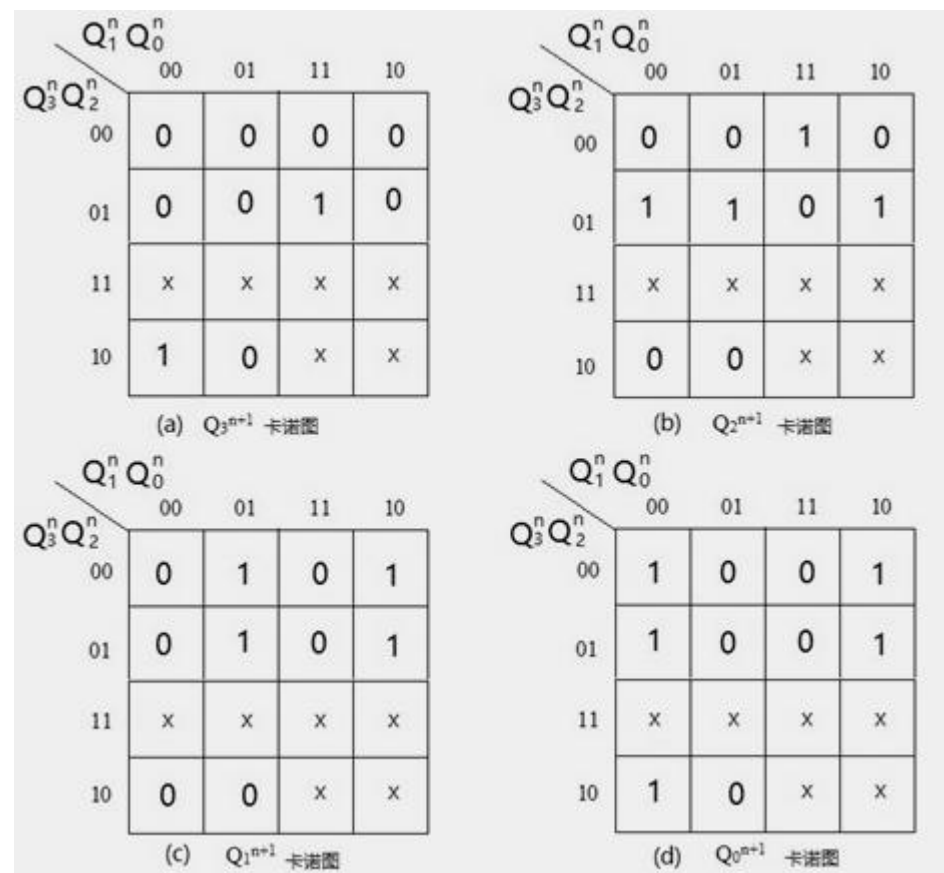


图3 Q_2^{n+1} $Q_2^{n+1}Q_1^{n+1}Q_0^{n+1}$ 卡诺图

2. 同步十进制加法计数器的设计步骤

(5) 列方程

✓ 触发器状态方程

$$\begin{aligned}Q_3^{n+1} &= \overline{Q_3^n \overline{Q_0^n}} + \overline{Q_2^n Q_1^n Q_0^n} \\Q_2^{n+1} &= \overline{Q_2^n Q_1^n Q_0^n} + \overline{Q_2^n Q_1^n Q_0^n} \\Q_1^{n+1} &= \overline{Q_1^n Q_0^n} + \overline{Q_3^n Q_1^n Q_0^n} \\Q_0^{n+1} &= \overline{Q_0^n}\end{aligned}$$

✓ D触发器特性方程

$$Q^{n+1} = D$$

✓ D触发器驱动方程

$$\begin{aligned}D_3 &= \overline{Q_3^n \overline{Q_0^n}} + \overline{Q_2^n Q_1^n Q_0^n} \\D_2 &= \overline{Q_2^n Q_1^n Q_0^n} + \overline{Q_2^n Q_1^n Q_0^n} \\D_1 &= \overline{Q_1^n Q_0^n} + \overline{Q_3^n Q_1^n Q_0^n} \\D_0 &= \overline{Q_0^n}\end{aligned}$$

✓ 输出方程

$$C = \overline{Q_3^n \overline{Q_2^n Q_1^n Q_0^n}}$$

2. 3位二进制加法计数器的设计步骤

(6) 画逻辑图

✓ D触发器驱动方程

$$D_3 = \overline{Q_3^n Q_0^n} + \overline{Q_2^n Q_1^n Q_0^n}$$

$$D_2 = \overline{Q_2^n Q_1^n Q_0^n} + \overline{Q_2^n Q_1^n Q_0^n}$$

$$D_1 = \overline{Q_1^n Q_0^n} + \overline{Q_3^n Q_1^n Q_0^n}$$

$$D_0 = \overline{Q_0^n}$$

✓ 输出方程

$$C = \overline{Q_3^n Q_2^n Q_1^n Q_0^n}$$

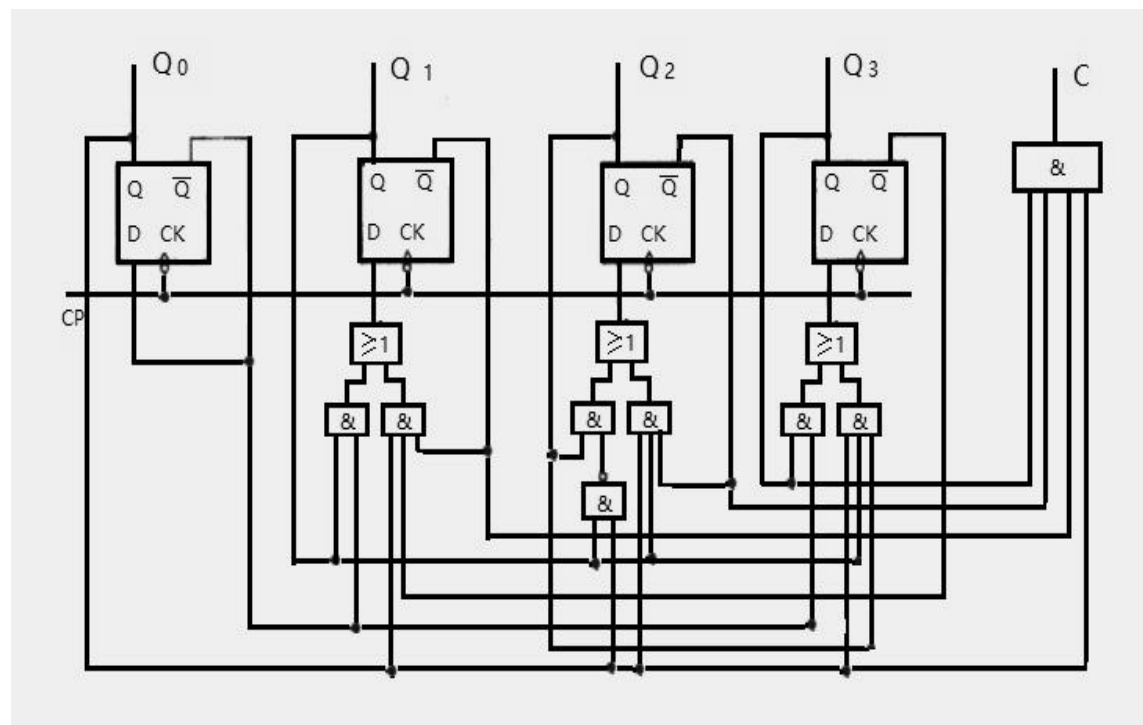


图4 同步十进制加法计数器逻辑图

小结1

- 一、十制计数器的概念
- 二、同步十进制计数器的分类
- 三、同步十进制加法计数器的设计

4.2.2 十进制加法计数器74LS160

74LS160是**4位同步十进制加法计数器**。它可以用**4个下降沿JK触发器**构成，也可以用**上升沿D触发器**构成，具有异步清零，同步置数功能。

1. 74LS160逻辑图

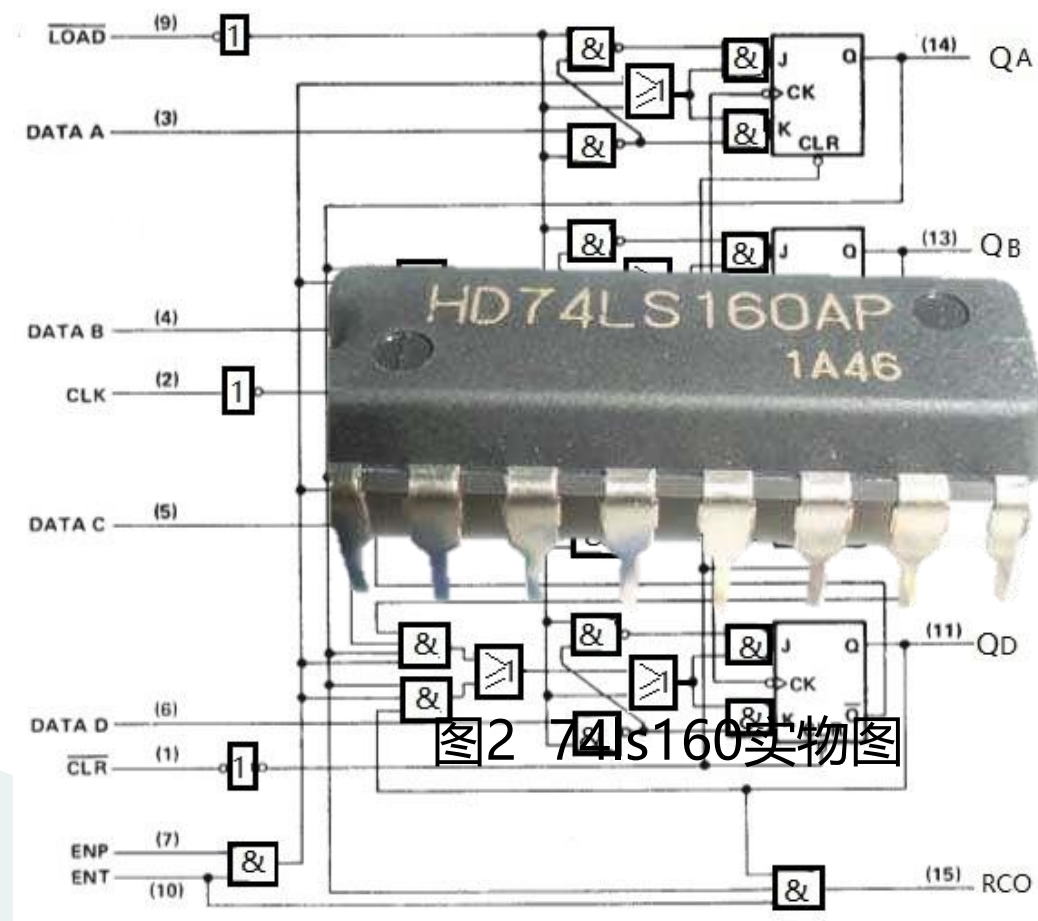


图2 74ls160实物图

图1 十进制加法计数器74ls160逻辑图

2. 74LS160逻辑符号图

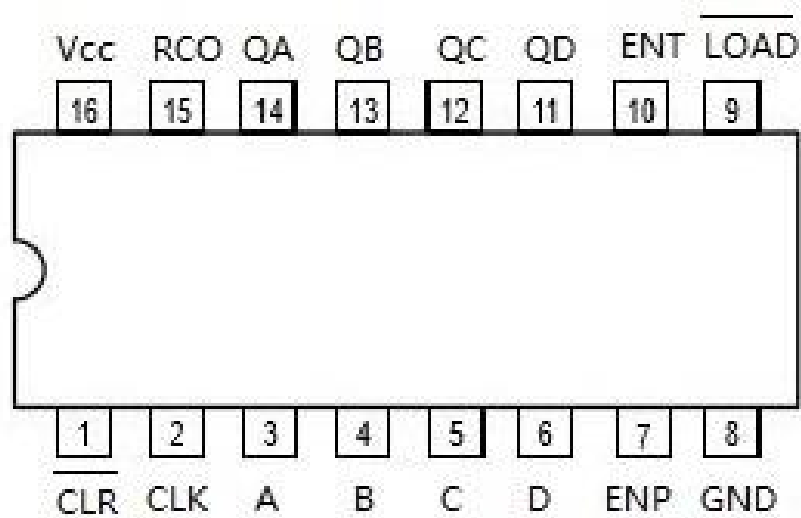


图3 74ls160引脚图

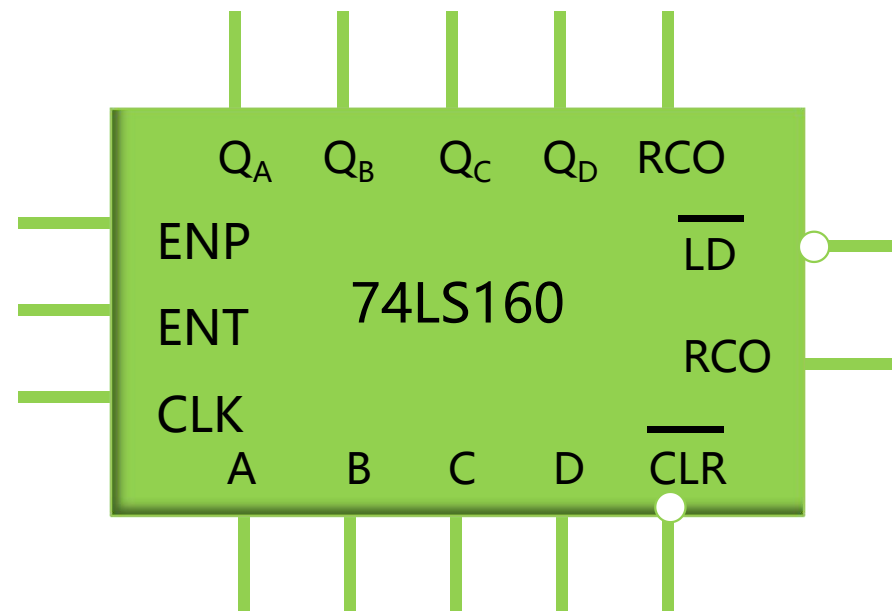


图4 74ls160逻辑符号图

3. 74LS160逻辑功能

异步 清零	功 能 表								
	输入								
	$\overline{\text{CLR}}$	$\overline{\text{LD}}$	ENP	ENT	CLK	D	C	B	A
	0	x	x	x	x	x	x	x	x
	输出 $Q_D Q_C Q_B Q_A$								
	0 0 0 0								

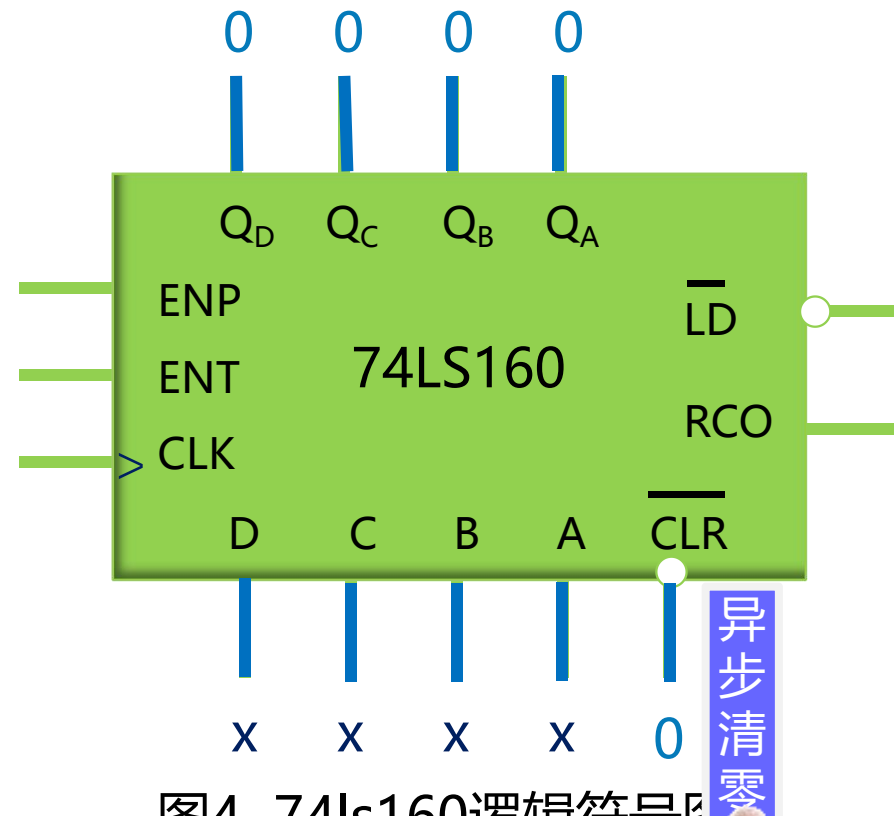


图4 74ls160逻辑符号图

3. 74LS160逻辑功能

异步清零		同步置数		功 能 表										
CLR		LD		输入							输出			
CLR	LD	EN _P	EN _T	CLK	D	C	B	A	Q _D	Q _C	Q _B	Q _A		
0	x	x	x	x	x	x	x	x	0	0	0	0		
1	0	x	x	x	D ₃	D ₂	D ₁	D ₀	D ₃	D ₂	D ₁	D ₀		

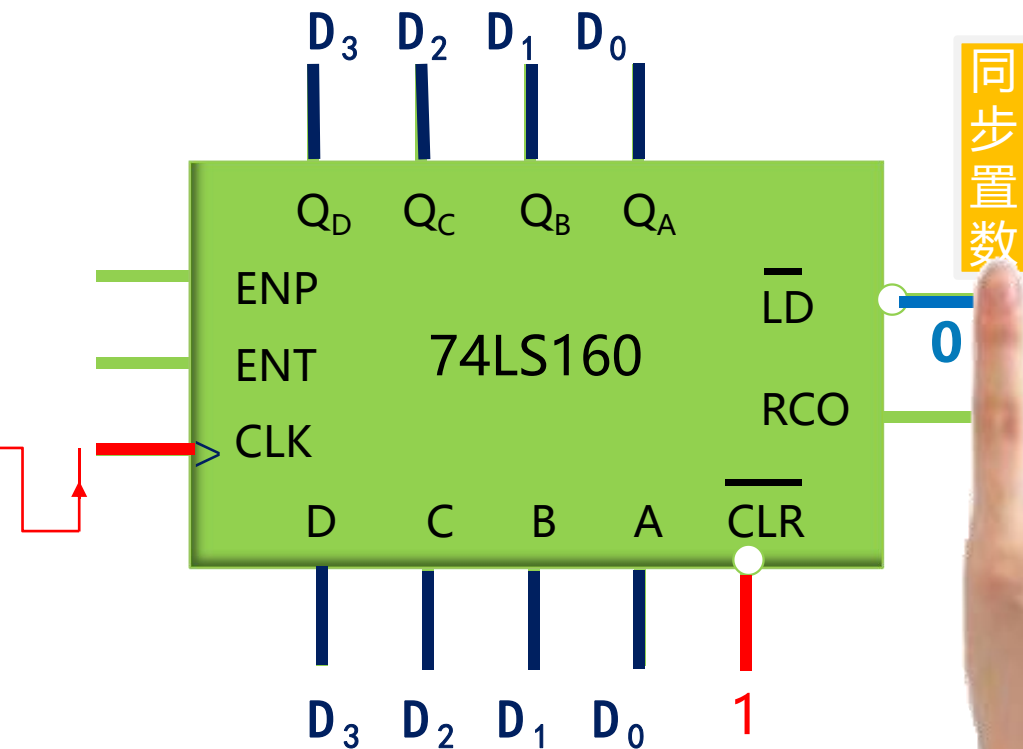


图4 74ls160逻辑符号图

3. 74LS160逻辑功能

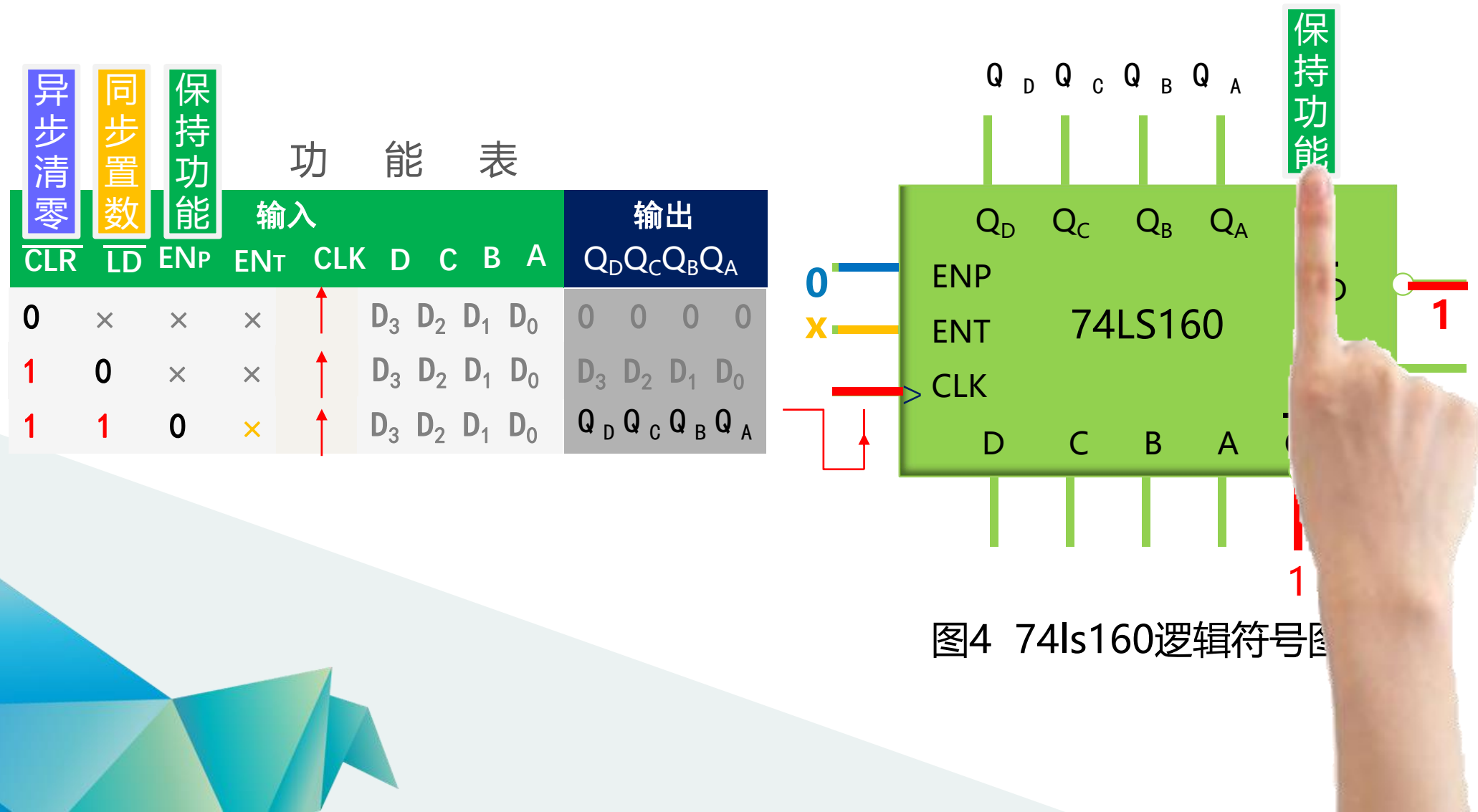


图4 74ls160逻辑符号图

3. 74LS160逻辑功能

异步清零	同步置数	保持功能	保持功能	功 能 表					输出			
$\overline{\text{CLR}}$	$\overline{\text{LD}}$	ENP	ENT	CLK	D	C	B	A	Q_D	Q_C	Q_B	Q_A
0	x	x	x	$\uparrow$	D_3	D_2	D_1	D_0	0	0	0	0
1	0	x	x	$\uparrow$	D_3	D_2	D_1	D_0	D_3	D_2	D_1	D_0
1	1	0	x	$\uparrow$	D_3	D_2	D_1	D_0	Q_D	Q_C	Q_B	Q_A
1	1	x	0	$\uparrow$	D_3	D_2	D_1	D_0	Q_D	Q_C	Q_B	Q_A

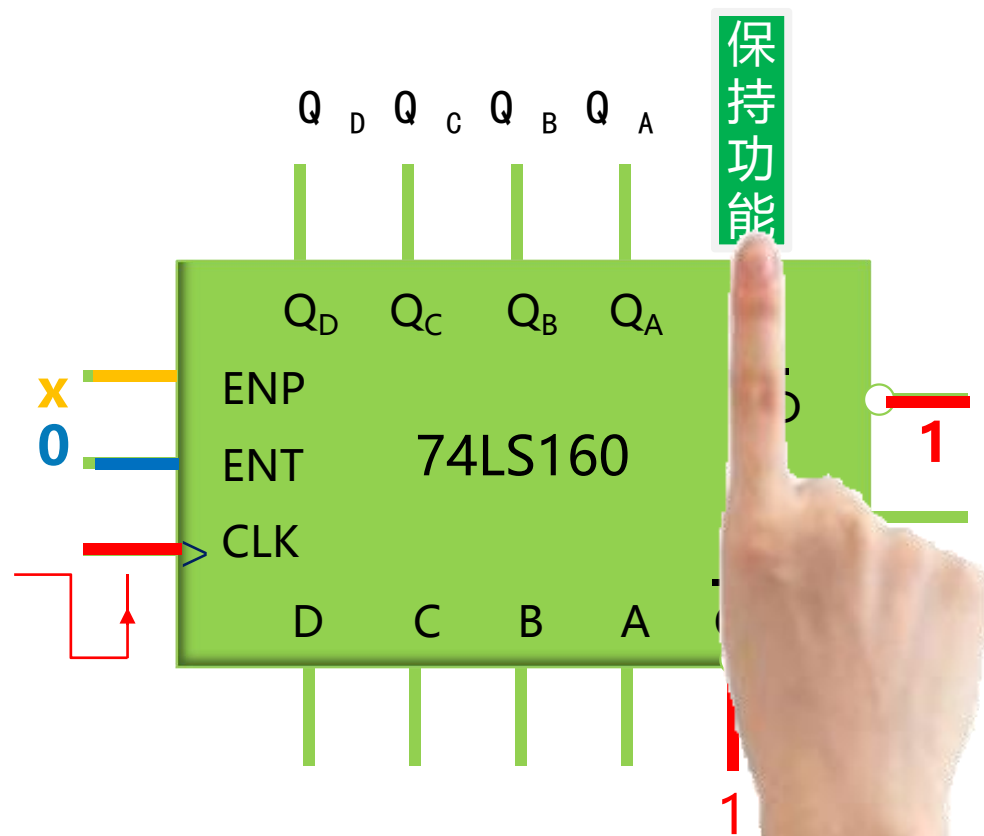


图4 74ls160逻辑符号

3. 74LS160逻辑功能

功 能 表				计数功能					
同步清零	同步置数	保持功能	保持功能	输入	输出				
CLR	LD	ENP	ENT	CLK	D	C	B	A	Q _D Q _C Q _B Q _A
0	×	×	×	↑	D ₃	D ₂	D ₁	D ₀	0 0 0 0
1	0	×	×	↑	D ₃	D ₂	D ₁	D ₀	D ₃ D ₂ D ₁ D ₀
1	1	0	×	↑	D ₃	D ₂	D ₁	D ₀	Q _D Q _C Q _B Q _A
1	1	×	0	↑	D ₃	D ₂	D ₁	D ₀	Q _D Q _C Q _B Q _A
1	1	1	1	↑	D ₃	D ₂	D ₁	D ₀	0 0 0 0

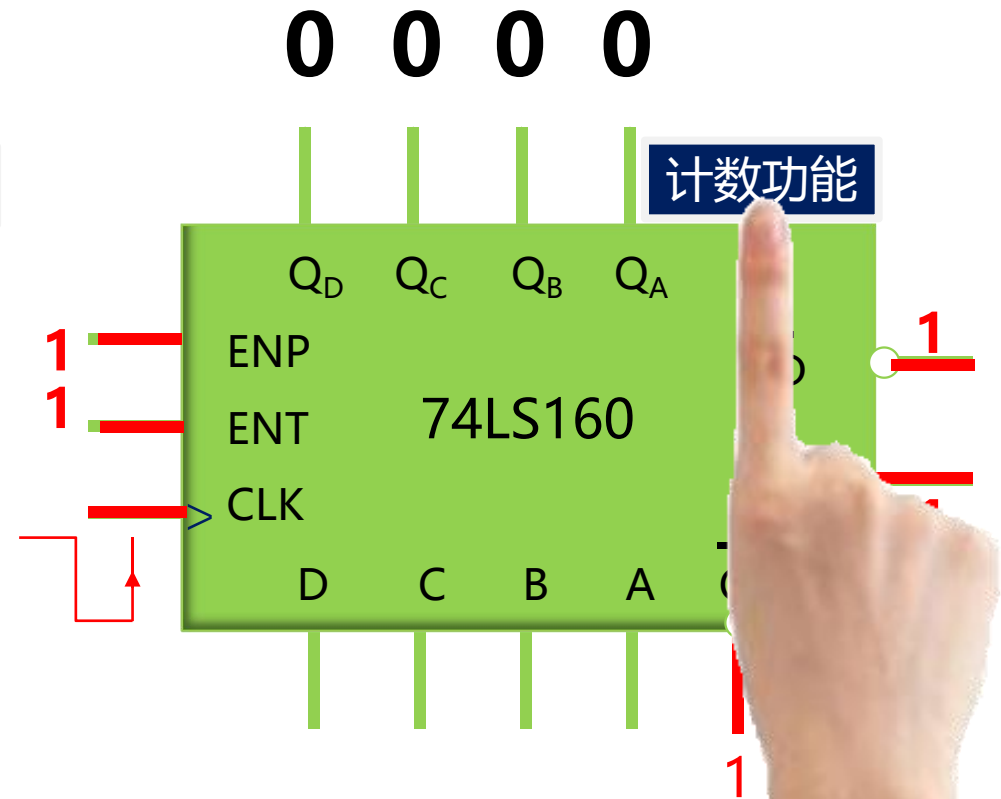


图4 74ls160逻辑符号图

Thanks for watching
谢谢观看

