



主讲人: 任枫轩















2 学习目标

3 相关知识

4 任务实施

5 思考和练习















工作任务





03









完成一个游戏机电路。游戏机电路是一个 大型的电路系统,包括中央处理器电路、图形 处理器电路、接口电路、射频调制电路、制式 转换电路、电源电路、时钟电路、光电枪电路、 控制盒电路、游戏卡电路10个电路模块。



2

学习目标

 掌握Altium Designer原理图层次原理图的设 计方法和技巧。
 培养学习者分析问题、解决问题的能力, 培养学习者工程意识。











3

# 3.5.1 层次原理图的基本结构和组成

对于比较复杂的电路图,一张电路图纸无法完成设计,需要多张 原理图。Altium Designer提供了将复杂电路图分解为多张电路图 的设计方法,这就是层次原理图设计方法。针对每一个具体的电 路模块,可以分别绘制相应的电路原理图,这些原理图称为子原 理图,而各个电路模块之间的连接关系则采用一个顶层原理图来 表示。顶层原理图主要由若干个原理图符号即图纸符号组成,用 来表示各个电路模块之间的系统连接关系,描述了整体电路的功 能结构。这样,把整个系统电路分解成顶层原理图和若干个子原 理进行设计。

# 相关知识

一个两层结构原理图的基本结构如图3-91所示,由项层原理图和子 原理图共同组成,就是所谓的层次化结构。其中,子原理图用来描 述某一电路模块具体功能的普通电路原理图,只不过增加了一些输 入输出端口,作为与上层原理图进行电气连接的接口。普通电路原 理图的绘制方法在前面已经学习过,主要由各种具体的元件、导线 等构成。顶层电路图即母图的主要构成元素不再是具体的元件,而 是代表予原理图的图纸符号,如图3-92所示是一个采用层次结构设 计的顶层原理图。





图3-91 两层结构原理图的基本结构





#### 1. 顶层原理图

3

顶层原理图相当于整机电路图中的方框图,一个方块图相当于一个模块。图中的每一个模块都对应着一个具体的子电路图。与方框图不同的是,顶层原理图中的连接更具体。各方块图之间的每一个连接都要在主电路图中表示出来。如图3-92所示。需要注意的是,与原理图相同,方块图之间的连接也要用具有电气性能的Wire导线和Bus总线。







# 图3-92 顶层原理图的基本组成





#### 2. 子原理图

3

一般地子电路图都是一些具体的电路原理图。子电路图与主电路图的连接是通过方块图中的端口实现的。如图3-93和图3-94所示。



图3-93 顶层原理图中的一个方块图



图3-94 图3-93所示方块图对应的子电路图



#### 3.5.2 原理图符号的放置及属性

1. 原理图符号的放置

顶层原理图中的方块图是使用原理图符号放置的,其放置的方法是:单击菜单栏中的 "P1ace 放置|sheet symbol原理图符号"命令,或者单击Wiring连线工具栏中的 放置原理图符号按钮

#### 2. 原理图符号的属性

0

在放置状态下按Tab键,将会弹出Sheet symbol原理图符号对话框,如图3-95所示,其主要参数如下





perties Param Loc. 41 66	ation 0 X-Size 2	250
3order Color ☑ Draw So Fill Color	olid	Y-Size 210 → Border Width Smallest
Properties -		]
Designator	CPU	Unique Id JSQUMVEF Reset
	CPU.SCHDOC	Show Hidden Text Fields

# 图3-95 Sheet symbol原理图符号对话框 PCB设计与制作



(1) Location(位置) 表示原理图符号在原理图上的X轴和Y轴坐标,可以输入数值。

(2) X-Size(宽度), Y-Size(高度) 表示原理图符号的宽度和高度,可以输入数值。

(3) Border Color(边框颜色) 用于设置原理图符号边框的颜色。

(4) Fill Color(填充颜色) 用于设置原理图符号的填充颜色。

(5) Draw Solid(是否填充复选框) 勾选该复选框,则原理图符号将以Fill Color填充颜色中的颜色填充多边形。

(6) Border Width(边框宽度) 用于设置原理图符号的边框粗细,包括Smallest最小、Small小、Medium中等和Large大4种线宽。

(7) Designator(标识文本框) 用于输入相应原理图符号的名称。所起作用与普通电路原 理图中的元件标识符相似,是层次电路图中用来表示原理图符号的惟一标志,不同的原理图 符号应该有不同的标识符。

(8) Filename(文件名文本框) 用于输入该原理图符号所代表的下层子原理图的文件名。 (9) Show Hidden Text Fields(是否显示隐藏的文本域复选框) 用于确定是显示还是隐藏 原理图符号的文本域。



#### 3.5.3 符号连接端口的放置及属性

#### 1. 符号连接端口的放置

电路端口是原理图符号代表的子原理图之间所传输的信号在电气上的连接通道,应放置在原理 图符号边缘的内侧。放置符号连接端口的方法是:单击菜单栏中的 "Place放置|Add Sheet Entry添加符号连接端口"命令,或者单击Wiring连线)工具栏中的 放置符号连接端口按钮。 2.原理图符号的属性

在顶层原理图中,每一个原理图符号上的所有电路端口都应该与其所代表的子原理图上的一个电路输入、输出端口相对应,包括端口名称及接口形式等。因此,需要对电路端口的属性加以设置。双击需要设置属性的电路端口或在绘制状态时按Tab键,系统将弹出相应的Sheet Entry符号连接端口对话框,如图3-97所示。电路端口属性的主要参数含义如下





Sheet Entry		? 🛛
Fill Color Text Color CLK Text Font Change Text Style Full Border C	Color	Side Right Style None (Horizontal) Kind Block & Triangle
Properties Name FROM CPU AUP	<ul> <li>Position</li> <li>I/O Type</li> <li>Locked</li> </ul>	30 Unspecified
		OK Cancel

#### 图3-97 Sheet Entry对话框





- (1) Fill Color(填充颜色) 设置电路端口内部的填充颜色。
- (2) Text Color (文本颜色) 设置电路端口标注文本的颜色。
- (3) Border Color(边框颜色) 设置电路端口边框的颜色。
- (4) Side(端口在原理图符号中的位置) 设置电路端口在原理图符号中的大致方位,包括Top 项部、Left左侧、Bottom底部和Right右侧4个选项。
- (5) Style(端口形状) 设置电路端口的形状。
- (6) I/O Type(I/O类型下拉表框) 用于设置电路的端口属性,,包括Unspecified未指明、Output输出、Input输入和Bidirectional双向4个选项。下拉列表框通常与电路端口外形的设置一一对应,这样有利于直观理解。端口的属性是由I/O类型决定的,这是电路端口最重要的属性。
  (7) Name(名称下拉列表框) 设置电路端口的名称,应该与层次原理图子图中的端口名称对应,只有这样才能完成层次原理图的电气连接。
  (8) Position(位置文本框) 设置电路端口的位置。该文本框的内容将根据端口移动而自动设
- 置,用户不需要进行更改。



## 3.5.4 查看层次原理图

1. 从顶层电路图查看子电路图

操作方法:打开顶层电路文件。单击主工具栏上的 图标,或执行菜单命令 "Tools|Up|Down Hierarchy",光标变成十字形。在准备查看的方块图上单击 鼠标左键,则系统立即切换到该顶层电路图对应的子电路图上。 2.从子原理图查看顶层电路图 操作方法:打开子原理图文件。单击主工具栏上的 图标,或执行菜单命令 "Tools|Up|Down Hierarchy",光标变成十字形。在子原理图的端口上单击鼠 标左键,则系统立即切换到顶层电路图,该子电路图所对应的方块图位于编辑 窗口中央,且鼠标左键单击过的端口处于聚焦状态。



#### **3.5.5** 层次原理图设计方法 **1.**自上向下的层次原理图设计

自上向下的层次原理图设计方法是:先绘制主电路图,绘制好主电路图后,在主电路图中执行菜单命令"Design|Create Sheet From Symbol"从原理图符号创建子原理图,光标变成十字形,移动光标到将要进行创建的子原理图对应的原理图符号方框上,单击,系统自动生成一个与原理图符号方框同名的新的原理图文件,而且该子电路图中包含方块电路中的所有端口,无需自己再单独放置端口,在该新生成的子电路图中绘制相应原理图即可。 2.自下向上的层次原理图设计

自上向下的层次原理图设计方法是:先绘制各子电路图,再在主电路图中产生相应的原理 图符号方框。分别建立各子电路文件,绘制好各子电路图后,建立一个顶层原理图设计文件,在主原理图设计界面,执行菜单命令"Design|Create Symbol From Sheet,从子原理 图创建原理图符号,出现一个对话框,如图3-98所示,选择要创建原理图符号方框的子原 理图文件,单击,系统自动生成一个与子原理图同名新原理图符号方框,而且该原理图符 号方框中包含方块电路中所有端口,无需自己再单独放置端口。



/ Document Path
D:\项目三\任务3.5电子游戏机层次原理图设计\
:hDoc D:\项目三\任务3.5电子游戏机层次原理图设计\
D:\项目三\任务3.5电子游戏机层次原理图设计\
D:\项目三\任务3.5电子游戏机层次原理图设计\
D:\项目三\任务3.5电子游戏机层次原理图设计\

图3-98 自下向上的选择放置文件对话框





### 3.5.7 元件报表

元件报表主要用来列出当前项目中用到的所有元件标识、封装形式、元件库中的名称等,相当于一份元件清单,依据这份报表,用户可以详细查看项目中元件的各类信息,同时在制作印制电路板时,也可以作为元件采购的参考。 1. 元件报表的选项设置 打开项目原理图文件,单击菜单栏中的"Reports报表|Bill of Materials元件清单"命令,系统弹出相应的元件报表对话框。在该对话框中,可以对要创建的元件报表的选项进行设置。左侧有两个列表框。





#### 2. 元件报表的创建

(1)单击元件报表对话框中Menu菜单按钮,在Menu菜单菜单中单击Report\_报表命令,系统将弹出Report Preview报表预览对话框,如图3-99所示。

(2)单击Export输出按钮,可以将该报表进行保存,默认文件名为项目文件的名字.Xls,是 一个Excel文件;单击Open Report打开报表按钮,可将该报表打开;单击"Print打印按钮,可 将该报表打印输出。

(3) 在元件报表对话框中,单击右下角 按钮,在"计算机\Users\公用\公用文档

\Alitum\AD17\Templates"目录下,选择系统自带的元件报表模板文件BOM Default Template .XLT,如图3-100所示。

(4) 单击"打开"按钮后,返回报表预览对话框。单击OK确定按钮,退出该对话框。

此外,Altium Designer软件还为用户提供了推荐的元件报表,不需要进行设置即可产生。单击菜单栏中的"Reports报表|Simple BOM简单元件清单报表"命令,系统同时产生"项目文件的名字.BOM"和"项目文件的名字.CSV"两个文件,并加入到项目中。



Board D Type         BTR MCORE         DIP-24         BTG MCORE         3           Tomportulation         BTR MCORE         DIP-24         BTG MCORE         3           Board D Type         BTR MCORE         DIP-24         BTG MCORE         2           Board D Type         Attrast 22         TO-347         Attrast 23         2           Board D Type         CE C C C C C C C C C C C C C C C C C C	orbinant.	Description	Designator	Footprint	LibRel	Quantity	
Bit Processor         Disk         Disk <thdisk< th="">         Disk         Disk</thdisk<>		Octat D-Type Transportert Latche and Edge-Triggend File-Filose	B118, MK5080, SNIMLS373N	DIP-24	8116, MK6080, SN74U5373N	a.	
Capacity         Ct. CJ. CL. CH. CH. (CJ. RUC-0.3) C. CJ. CL. CH. CH. (CJ. RUC-0.3) C. CJ. CL. CH. CH. CH. (CJ. CJ. CJ. CJ. CJ. CJ. CJ. CJ. CJ. CJ.		Singlo-Polo, Double-Throw Switch	6257P, 6528 AN/NO5, 52	019-40 TO-247	6257P, 6028 AN/828, SW-SPOT	2	
Versite         Adjustant         OI         C2221         Op Vir         1           Pharuad Capacian Carlies Mark         C21, OB         CAPPA 4105 10368.3         Gar PAD, Carl Vir         2           Carlies Mark         Carlies Mark         Carlies Mark         Carlies Mark         2           Constant Mark         Carlies Mark         Carlies Mark         3           Constant Mark         Carlies Mark         Carlies Mark         3           Constant, Resettry, CL Rei Pack SP4219 DIP 11         Carlies Mark         3           Constant, Resettry, CL Rei Pack SP4219 DIP 11         Carlies Mark         3           Resettry, Carlies DJ, CD         CIGCE 0.7         Carlies Mark         3           Mark Date         Carlies Mark         Carlies Mark         3		Capacity		R40-0.3	Cap	38	
Description         C21, C41         CAMPA-M145-10.5x8.3         Cap PM2, C4p Ver         2           Variable for Application         C22, C42         CAMPA-M145-10.5x8.3         Cap PM2, C4p Ver         2           Constant or Application         C23, C51, V1         C3325         Cap PM2, X1AL         3           Constant or Application         C33, C51, V1         C3325         Cap PM2, X1AL         3           Constant Amount of C14, C51, V1         C33, C51, Paper HackA,         3         3           Record and Amount Amount of C14, C51, V1         C33, C51, Paper HackA,         3           Record and Amount Amount of C14, C51, V1         C33, C51, Paper HackA,         3           Record and Amount Amount of C14, C51, C51, C51, C51, C51, C51, C51, C51		Variable or Adjustratio	C5	C2225	Cip Vir	<b>4</b> .	
Operation         CBE C2E, V1         CBE28         Oper MED, ATAU.         3.           Practacid Quarker Amps C, Min Packa, SKR2155 DBF-58.         Cap. Mos Packa, 3         SKR2155 CBF-58.         SKR2155 CBF-58. <td></td> <td>Capacitat Polarizot Capacitat (Surface Meant), Vianable or Adustable Capacitar</td> <td>C21, C40</td> <td>CAPPA14.05-10.5x8.3</td> <td>Cap PoD, Cap Var</td> <td>20</td> <td></td>		Capacitat Polarizot Capacitat (Surface Meant), Vianable or Adustable Capacitar	C21, C40	CAPPA14.05-10.5x8.3	Cap PoD, Cap Var	20	
Opport         Opport         Part Pack         Opport         Opport         Statutes         St		Crystal Cecelator, Polaruod Capacitor (Sarfaco Mount)	C38, C39, Y1	00805	Cap Path, XTAL	3	
Moustanis Assembly, Christellow         Convector 19, J1         003205,00,702-4116         Convector 15         2           Diffued Dods         03, 02         04005,60,72-7         Dods         2           Pield Yang Code Borth, D1         0-41,84,8         Schart         3           Hold Yang Code Borth, D1         0-41,84,8         Schart         3           Hold Yang Code Borth, D1         0-41,84,8         Schart         3           Hold Yang Code Borth, D1         0-41,84,8         Schart, D1         3           Optime Conduct, L. Li, Li, Li, V2         PRD-0,4         Inductor, NEAL         4           Consult, Paymond Code         RESERVER         RESERVER         1         1           Consult, Paymond Code Code         ROUTE         Next Paymond         1         1           Consult, Paymond Code Code         ROUTE         Next Paymond         1         1         1           Consult, Paymond Code Code         ROUTE         Next Paymond         1		Capacitor, Resolut Arra	y C. Hos Pack4, 89648218	S CHUR THE	Cap, Res Pack4, socard18	3	
Ofmat/Dedu         Off 02         DC/DE-0.7         Dork         2           Prof. Ways Dodd Strate 01         D-0.4 BA         Stebalt         5           Hoader, GPn         Hander, GPn         Hander, GPn         Hander, GPn         Hander, GPn           Hoader, GPn         L3         ADAD-16         Hoader, GPn         S           Hoader, GPn         L3         ADAD-16         Hoader, GPn         S           Cynet Octifier, L         L3 L4, V2         ROD-0.4         Hinterior, XTAL         4           Cynet Octifier, L         L3 L4, V2         ROD-0.4         Hinterior, XTAL         4           Consult Purpose Sergin         REI294         DIP-4015         Network, VTAL         4           Consult Purpose Sergin         REI294         DIP-4015         Network, VTAL         4           Methodse Transition         G1, G2, GR, G2         TG-18         Network, PM*         4           Network, Sergin         G2, G4, G3, G6         SOT21         Network, PM*         4           Network, Sergin         G7         Heartifier         Heartifier         5           Network, Sergin         G7         Heartifier         Heartifier         5           Network, Sergin         G7         Heartifie		Placetacks Assembly, 15-Din Connector	Connector III, J.L.	1900SLE0.762-4H15	Connector 19	20	
Header 0.Phn         Header 0. CBI         Header 0.         2           Instatur         1         A02U-18         Instatur         1           On-Matting         1         A02U-18         Instatur         1           On-Matting         1         LL 164, 172         100/0.4         Instatur         1           On-Matting         1         LL 164, 172         100/0.4         Instatur         1           Consult Analysis         LL 164, 172         100/0.4         Instatur         1           Consult Analysis         CAL 164, 172         100/0.4         Instatur         1           Consult Analysis         CAL 26, 201, 2022         T-C-18         None (PM*)         4           Molt Docar Memoter         CAL 26, 201, 202         T-C-18         None (PM*)         4           Molt Docar Memoter         CAL 26, 201, 202         None (PM*)         4         1           Molt Docar Memoter         CAL 26, 201, 202         None (PM*)         4         1           Molt Docar Memoter         CAL 26, 201, 202         None (PM*)         4         1           Molt Docar Memoter         CAL 26, 201, 202         None (PM*)         4         1           Molt Docar Memoter         CAL 26, 201, 202<		Default Diode Full Ways Oods System	D1, D2 03	DIODE-0.7 D-48 8A	Dirabi Svidas 1	2	
Inductor         L2         DO-7         Inductor         5           Crywlar Condition         L. L. L. V. 12         RND 0.4         Inductor         A           Inductor         L. L. L. V. 12         RND 0.4         Inductor         A           Boards         Filter         DIP 4015         Matter XIAL         A           Boards         Filter         DIP 4015         Matter XIAL         A           MMI Boards         FilteretA         DIP 4015         Matter XIAL         A           Houtors         DIP 4015         Houtors         DIP 4015         Houtors         A           Houtors         DIP 4015         Houtors         DIP 4015         Houtors         A           MMI Boards         FilteretA         Matter XIAL         A <td></td> <td>Header, 6-Pm Inductor</td> <td>Houder 6, CB</td> <td>HOR108 AXAL-0.8</td> <td>Hoadir 6 Trabation</td> <td>2</td> <td></td>		Header, 6-Pm Inductor	Houder 6, CB	HOR108 AXAL-0.8	Hoadir 6 Trabation	2	
Instator         DBP-8D11         NEXTRA         DBP-8D11         NEXTRA         I           BARM STATE Framework         0.11         0.11         NEXTRA         1           BARM STATE Framework         0.11         0.11         NEXTRA         1           PMM Explait Framework         0.11         0.11         NMM Explait         1           PMM Explait Framework         0.11         0.11         NMM Explait         1           PMM Explait Framework         0.11         0.11         1         1           PMM Explait Framework         0.11         0.11         1         1           PMM Explait Framework         0.11         0.11         1         1         1           PMM Explait Framework         0.11         0.12         1         1         1         1           PMM Explait Framework         0.11         0.12         1		Industor Overal Oscilator	1, 13, 14, 92	DO-7 RAD-0.4	Industor XTAL	4	
Bisslar         First         <		Inductor General-Pursme Sindle	NETTON	DP-8011	NEXTRA	*	
Phyl. Equity Translatz         Phyl. Equity Translatz<	1	Bipolar Timer NPN Boolar Transistor	01.02.09.022	TO-18	NPN, PNP	4	
Phyle Bookar Transistar         High         G7         High         High         F           High         Chr         High         High         F         High         F           High         Chr         High         F         High         F         High         F           High         Chr         High         F         High         F         High         F           High         F         High         F         High         F         High         F           High         F         High         F         High         High         F         High         F           High         F         High         F         High         High         High         F         High         <		PNP Boolar Transistor NPN Boolar Transistor	C3 C4 C5 C6	80129	NETS, PREF.	4	
Handler         PH         H20157         Handler         5           MMM Reputer Interesting         C) 201, C02, C03         TC-228         MMM, Produce NMM         4           MMM Interesting         C) 201, C02, C03         TC-228         MMM, Produce NMM         4           MMM Interesting         RC         REI, REI, REI, REI, AND, CO, A         Moz         47           Maximum         RC         REI, REI, REI, REI, REI, REI, REI, REI,		PNP Bodar Transistor Header, 5-Pn	67	HORDE	Hundor 5		
New York Processor         PR         PR         AVXAULA         Pace         47           Phone State         PR		Hawky, 7-Pho NPN (Spolar Transmits)	0, 010, 012, 013	HDR107 TG-228	NPN, Photo NPN	4 4	
		Personal and a second and a sec	N1, N2, N3, N4, N5, N6 N1, N3, N3, N3, N1, N1, N1, N3, N3, N3, N3, N1, N3, N3, N3, N3, N2, N3, N3, N3, N3, N2, N3,	A8042-0-4	Phase2	47	
M - 1- 2/1-01-2010 0:30:21 PM Apr 2	初一 <b>1-</b> 二月-0 <b>1-</b>	2010 0:30:21 PM	t:				Apr 1

#### 图3-99 Report Preview报表预览对话框



22



hoose Temp	late Filename For [D:\任务\任务三\任务3.5\游戏机电	?
查找范围(I):	🗁 Templates 🛛 🕑 🗊 😳 📰 🔻	
<ul> <li>我最近的文档</li> <li></li></ul>	BGA (Ball Grid Array) BOM Default Template BOM Default Template 95 BOM Manufacturer BOM Purchase BOM Review BOM Simple BOM Supplier Links BQFP (Bumpered Quad Flat Pack) CFP (Dual Flat Pack) Chip Components Component Default Template CQFP (Ceramic Quad Flat Pack) DPAK (Transistor outline) LCC (Leadless Chip Carrier)	
	文件名 (M): BOM Default Template 1	「开 @)
	文件类型(I): Microsoft Excel Worksheets (*.xls;*.x 🗸	取消

图3-99 Report Preview报表预览对话框













选择"file|save As"命令将新建的工程文件保存于第三部分文件夹 下的项目3.5中,并命名为"游戏机电路. PriPCB"。在"Project"面 板中,项目文件名变为"游戏机电路. PrjPCB"。如图3-99所示。该 项目中没有任何内容,可以根据设计的需要添加各种设计文档。 选择"file|New|schematic"命令,在该项目文件中新建一个电路 原理图文件,系统默认文件名为"sheet1.SchDoc",选择"file|save As"命令,将新建的原理图文件保存于第三部分文件夹下的项目3.5中 ,并命名为"游戏机电路. SchDoc"。此时,在"Project"面板中, 项目文件名变为"游戏机电路. SchDoc"。





#### 2. 设置图纸参数和环境参数

设置图纸参数和环境参数均采用系统默认设置。

3.添加元件库

创建原理图文件后,系统已默认为该文件加载了一个集成元件库 "Miscellaneous Devices.Lib"。将自行设计的"游戏机电路 .SchLib"文件添加到项目中。





#### 4.自上而下设计层次原理图

(1) 绘制层次原理图的顶层电路图

1) 在游戏机电路. SchDoc工作区,在单击wiring连线工具栏中的放置原理图符号按钮,此时光标将变为十字形状,并带有一个原理图符号标志,单击完成原理图符号的放置。双击需要设置属性的原理图符号,系统将弹出如图3-110所示的Sheet Symbol 原理图符号对话框,在该对话框中进行属性设置。双击原理图符号中的文字标注,系统将弹出如图3-111所示的Sheet Symbol Designator原理图符号指示符对话框,进行文字标注。重复上述操作,完成9个原理图符号的绘制。完成属性和文字标注设置的层次原理图项层电路图如图3-112所示。





Designator X-Location 120	
X-Location 120	
Y-Location 670	]
Orientation ODegrees	
Color	
Font Change	
Anchor None V	
AutoPosition 🗹 Locked	3
Hide	
	Orientation     O Degrees       Color       Font       Change       Anchor       None       AutoPosition       Hide

图 3-110·Sheet Symbol 原理图符号对话框·····图 3-111·符号指示符对话框↔





图3-112 完成属性和文字标注设置层次原理图项层电路图



2)单击Wiring连线)"工具栏中的放置原理图端口按钮,放置电路端口。 双击电路端口,系统将弹出如图3-113所示的Sheet Entry原理图端口对话框 ,在该对话框中可以进行方向属性的设置。完成端口放置后的层次原理图顶 层电路图如图3-114所示。

Fill Color	Side Right Style None (Horizontal)	Ŗ
Text Style Full Border	Kind Block & Triangle	
Properties DELICIOCK	Position 30	
Properties Name CPU CLOCK Harness Tupe	Position 30	
Properties Name CPU CLOCK Harness Type	<ul> <li>Position 30</li> <li>I/O Type Unspecified </li> <li>Locked </li> </ul>	



#### 图3-113 原理图端口对话框



4



图3-114 完成端口放置后的层次原理图项层电路图





# 3)单击Witjng连线工具栏中的放置导线按钮,放置导线,完成连线操作。 选择放置总线按钮用完成连线后的层次原理图顶层电路图如图3-115所示。



#### 图3-115 层次原理图顶层电路图



任务实施

(2) 绘制层次原理图的子电路图 下面逐个绘制电路模块的原理图子图, 并建立原理图顶层电路图和了图之间的关系。 1) 中央处理器电路模块设计。在顶层电路图工作界面中,单击菜单栏中的 "Design设计|Create Sheet From SheetSymbol"从原理图符号中创建子原 理图命令,此时光标将变为十字形状。将十字光标移至原理图符号"CPU" 内部,单击,系统自动生成文件名为"CPU. SCHDOC"的原理图文件, 且原理图中已经布置好了与原理图符号相对应的I/O端口,如图3-116所示。 在该图纸界面,按照图3-101所示,绘制该图。



4

🥃 Control.SchDoc 📴 游戏机印	芭路.SchDoc 🛛 📴 CPU.SchDoc *						
<u>a</u>	2	a	(4				
s							
-							
· · · · · · · · · · · · · · · · · · ·							
	1 <u>(2,8,0)</u> ×						
CONTAIN *							
		Title					
		522 34	Nersher				
		2 bu de Three	2010-02-02 Sheat of CRU Schlor Orann Be				

图3-116 生成的CPU.SCHDOC





#### 5.自下而上下设计层次原理图

(1) 绘制层次原理图的各个子电路图 自下而上的层次原理图设计方法是是利用子原 理图产生顶层电路原理图,因此首先需要绘制好子原理图。新建各个原理图设计文件 ,在新建项目文件中,绘制好本电路中的各个子原理图,并且将各子原理图之间的连 接用I/O端口绘制出来。

(2) 绘制层次原理图的顶层电路图

1) 新建一个名为"游戏机电路. SchDoc"的原理图文件。

2) 在游戏机电路. SchDoc工作界面中,单击菜单栏中的"Design设计|Create Sheet Symbol From Sheet or HDL从原理图或HDL文件中产生符号电路"命令,系统将弹出如图3-117所示的CHoose Document to Place(选择放置文档对话框)。

3)选中该对话框中的任一子原理图,然后单击OK确定按钮,系统将在"游戏机电路. SchDoc"原理图中生成该子原理图所对应的子原理图符号。执行上述操作后, 在游戏机电路.SchDoc原理图中生成随光标移动的子原理图符号,如图3-118所示。





Document Name 🛛 🗸 🗸	Document Path
🖃 🛅 Schematic Documents	
📻 Clock.SchDoc	D:\项目三\任务3.5电子游戏机层次原理图设计\
Control.SchDoc	D:\项目三\任务3.5电子游戏机层次原理图设计\
🧱 Convertor.SchDoc	D:\项目三\任务3.5电子游戏机层次原理图设计\
CPU.SchDoc	D:\项目三\任务3.5电子游戏机层次原理图设计\
🔙 Interface.SchDoc	D:\项目三\任务3.5电子游戏机层次原理图设计\
🔙 Photoelectric Gun.SchDoo	D:\项目三\任务3.5电子游戏机层次原理图设计\
🔙 RF.SchDoc	D:\项目三\任务3.5电子游戏机层次原理图设计\
🔙 Source.SchDoc	D:\项目三\任务3.5电子游戏机层次原理图设计\
🔚 Video.SchDoc	D:\项目三\任务3.5电子游戏机层次原理图设计\
	OK Cancel

图3-117 选择放置文档对话框







图3-118 生成随光标移动的子原理图符号





#### 6.层次原理图间的切换

层次原理图之间的切换主要有两种,一种是从项层原理图的原理图符号切换到对应的 子电路原理图,另一种是从某一层原理图切换到它的上层原理图。 (1)从顶层原理图切换到原理图符号对应的子图 1)单击菜单栏中的"Project项目]Design Workspace设计工作区]CompileAll Projects 编译所有项目"命令,或在Navigator导航面板中右击,在弹出的右键快捷菜单中单 击Compile编译命令,执行编译操作。编译后的Messages信息面板如图3-119所示, 编译后的Navigator导航面板如图3-120所示,其中显示了各原理图的信息和层次原理 图的结构。





N	1essage	5						×
Ĩ	Class	Docum	Sou	Message	Time	Date	N	^
	[	Interfac	Com	Net NetJ1_4 has no driving	14:19	2010	1	
	[	Interfac	Com	Net NetJ1_5 has no driving	14:19	2010	1	
	[	Interfac	Com	Net NetJ1_6 has no driving	14:19	2010	1	
	[	Interfac	Com	Net NetJ1_7 has no driving	14:19	2010	1	
	[	Interfac	Com	Net NetJ1_8 has no driving	14:19	2010	1	
	<b>[</b>	Interfac	Com	Net NetQ7_4 has no driving	14:19	2010	1	
	[	Interfac	Com	Net NetR4_2 has no driving	14:19	2010	1	
	[	Control	Com	Net NetC_2 has no driving	14:19	2010	1	
		Control	Com	Net NetNE555N_4 has no	14:19	2010	1	
-	1 💴	游戏机	Com	Dunlicate Net Names Wire	14.19	2010-	1	~

#### 图3-119 Messages信息面板



<u></u>		-		1
Interactive N	Vavigal	tion	·	] 🕨
Documents fo	or 游戏	机电	t	~
🛨 🚞 Compile	ed Scł	nema	atic	
Flatten	ed Hier	rarch	y -	
□□游戏和	电路	初子为	58L.	
		ск.э	cn	1
Instance		U	1	ļ
	etti k			
	rtot			
E CONVER	ittot			
🛨 🔚 Interfac	ce			
Photoe	electr			
🛨 🔚 BF				~
Net / Bus	Scop	е		~
🛨 🔁 15	Local	Tol	Do	
+ 🔁 44	Local	ToD	Do	1
🕀 🔁 NetC	Sheel	Inte	rfa	
🛨 🔁 NetJ	Sheel	t Inte	rfa	
🛨 🔁 NetJ	Sheel	t Inte	rfa	
🛨 🔁 NetJ	Sheel	t Inte	rfa	
	Local	ToD	00	~

冬





2)单击菜单栏中的"Tools(工具)|Up/Down Hierarchy(切换上一层/下一层)" 命令,或在Navigator导航面板的Document For PCBPCB文档选项栏中,双击要进入 的顶层原理图或者子图的文件名,可以快速切换到对应的原理图。
3)单击菜单栏中的"Tools(工具)|up/Down Hierarchy(切换上一层/下一层)" 命令,光标变成十字形,将光标移至顶层原理图中的原理图符号上,单击就可以完成 切换。

(2)从子原理图切换到顶层原理图 编译项目后,单击菜单栏中的"Tools(工具) |up/Down Hierarchy(切换上一层/下一层)"命令,或单击Schematic Standard原 理图标准工具栏中的 (切换上一层/下一层)按钮,或在Navigator导航面板中选择 相应的顶层原理图文件,执行从子原理图到顶层原理图切换的命令。接着单击菜单栏 中的"Tools(工具)→Up|Down Hierarchy(切换上一层/下一层)"命令,光标变 成十字形,移动光标到子图中任一输入/输出端口上单击,系统自动完成切换。





srouped Columns	Show	Comment	<ul> <li>Description</li> </ul>	▼ Designator /	<b>Footprint</b>	▼ LibRef	<ul> <li>Quantity</li> </ul>	
Document			Capacitor, Va	riable C4, C5, C6, C7,	C8, RAD-0.3, C22	25, RA Cap, Cap Var,	Cap,	13
			Capacitor, Header, C, Header 6, NE555 DIP-16, HDR1X6, DJ Cap, Header 6, NE5 17					
		Capacitor, Capacit( C10, C11, C12, C13, RAD-0.3, SO-G3/C2 Cap, Cap, Cap, Cap, Cap, S39						
[No			[NoValue], [N	oValu 6116, 6257P, C1	L, C2 DIP-24, DIP-4	0, RAE 6116, 6257P,	Cap, (	13
			Capacitor, Re	cepta C, J1, Q7, Q8, F	3, R RAD-0.3, 050	DSUB( Cap, Connect	tor 15,	11
		[NoValue], [N	loValu Capacitor, Ca	pacite C, C10, C11, C1	2, C RAD-0.3, RAD	0-0.3, I Cap, Cap, Cap	o, Cap	19
		-	Capacitor, Ca	pacit( C23, C24, C25,	C26, RAD-0.3, RAE	0-0.3, I Cap, Cap, Cap	o, Cap	42
			[NoValue], Po	larize AN7805, C38, C	39, TO-247, C080	5, C08 AN7805, Cap	Pol3,	7
2010-00-00-00-00-00-00-00-00-00-00-00-00-	1.2222		[NoValue], [No	oValu 6116, 6528, C1,	C2, DIP-24, DIP-4	0, RAE 6116, 6528, C	ap, Ca	8
II Columns	Show 2							
Source Options			Supplier Options			Export Optio	ns	
Include Not Fitte	ed Component	5	<none></none>	<ul> <li>Production Qua</li> </ul>	ntity 1	<u>File Format</u>	Microsoft Excel	Worksheet (*.xls;*.xlsx;* •
📃 Include Paramet	ers From PCB		Round up Sup	plier Order Otv to ch	eaper price break		Add to Proje	d
Include Paramet	ers From Vault							
	ers rrom vaue		Use cached pri	cing data in paramete	ers it ottline		Den Export	ea
Include Paramet	ers From Datal	pase				Excel Option	s	
Include in Component Variations		ations						
						Template	<none></none>	











5

## 思考和练习

- 1. 层次原理图设计时要注意哪些事项?
- 2. 自上而下的层次原理图设计中子图的设计文件是如何建立的?
- 3. 如何实现层次原理图的上下切换?
- 4. 如何对设计好的原理图进行元件报表? 层次原理图中的单个图纸元件如何 产生报表?
- 5. 你认为完成该项工作需要注意哪些事项?
- 6.按照本任务的学习内容,试将图3-112所示电路原理图绘制成层次原理图。

# THANK YOU